

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66			H 0 1 L 21/66	Y
27/04			27/04	V
21/822				T
29/78			29/78	G
			3 0 1 T	
			審査請求 有	請求項の数4 O L (全 8 頁)

(21)出願番号 特願平7-245854

(22)出願日 平成7年(1995)9月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 笠井 直記

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 松浦 兼行

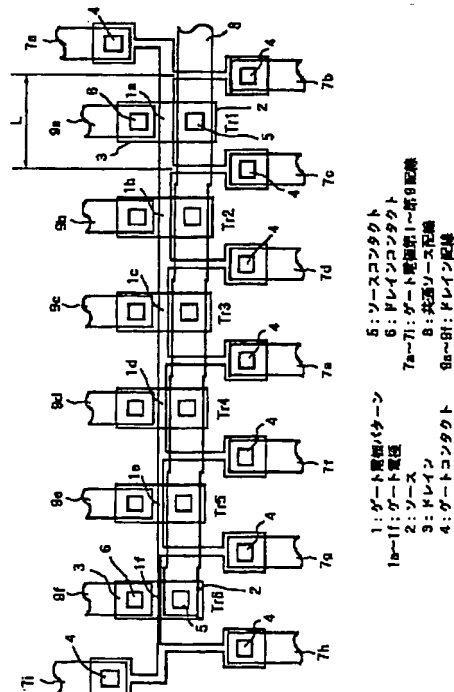
(54)【発明の名称】 半導体評価素子及びその評価方法

(57)【要約】

【課題】 従来は、モニタ複合パターンとシート抵抗パターンの2種類のパターンの測定が必要である。この2種類のパターンのシート抵抗が等しいと仮定してゲート長を算出しているが、実際には等しくない場合がある。

【解決手段】 6つの絶縁ゲート電界効果トランジスタTr1~Tr6は、共通のゲート電極パターン1を有している。絶縁ゲート電界効果トランジスタTr1~Tr6は、設計ゲート長の異なるそれぞれのゲート電極1a~1fと、それぞれのソース2及びドレイン3より構成されている。各トランジスタTr1~Tr6のゲート電極のコンダクタンスを測定し、このコンダクタンスと各トランジスタTr1~Tr6の設計ゲート長との直線関係が成り立つ領域の直線の傾きからシート抵抗を算出する。また、シート抵抗と複数の端子間距離とゲート電極コンダクタンスとから、ゲート電極パターン1の幅であるゲート長を算出する。

本発明半導体評価素子の第1の実施の形態のパターンを示す平面図



【特許請求の範囲】

【請求項 1】 互いに設計ゲート長が異なる複数の絶縁ゲート電界効果トランジスタに共通のゲート電極パターンと共通のソース配線と個別のドレイン配線を設け、前記ゲート電極パターンは、前記複数の絶縁ゲート電界効果トランジスタの各ゲート電極コンダクタンス測定用の複数の端子を有することを特徴とする半導体評価素子。

【請求項 2】 共通のゲート電極パターンと共通のソース配線と個別のドレイン配線を有し、かつ、前記ゲート電極パターンはゲート電極コンダクタンス測定用の複数の端子を有する、互いに設計ゲート長が異なる複数の絶縁ゲート電界効果トランジスタを一組としたとき、複数組の前記複数の絶縁ゲート電界効果トランジスタをアレイ状に配列し、該複数組の複数の絶縁ゲート電界効果トランジスタの各組共通のソース配線と、各組の同じ順番の絶縁ゲート電界効果トランジスタのドレイン同士を接続するドレイン配線を有することを特徴とする半導体評価素子。

【請求項 3】 互いに設計ゲート長が異なる複数の絶縁ゲート電界効果トランジスタに共通のゲート電極パターンと共通のソース配線と個別のドレイン配線を設け、前記ゲート電極パターンは、前記複数の絶縁ゲート電界効果トランジスタの各ゲート電極コンダクタンス測定用の複数の端子を一組又は複数組有する半導体評価素子の、前記複数の端子を用いて前記複数の絶縁ゲート電界効果トランジスタのゲート電極コンダクタンスをそれぞれ測定し、該測定したゲート電極コンダクタンスと前記複数の絶縁ゲート電界効果トランジスタの設計ゲート長との直線関係が成り立つ領域の直線の傾きからシート抵抗を算出することを特徴とする半導体評価素子の評価方法。

【請求項 4】 前記算出されたシート抵抗と、前記複数の端子間距離と前記ゲート電極コンダクタンスとから、前記ゲート電極パターンの幅であるゲート長を算出することを特徴とする請求項 3 記載の半導体評価素子の評価方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体評価素子及びその評価方法に係り、特に絶縁ゲート電界効果トランジスタのゲート長を用いてトランジスタの電気特性を厳密に評価する半導体評価素子及びその評価方法に関する。

【0002】

【従来の技術】 半導体装置は微細加工技術の進歩と共に

$$W = (R_s \times L) / (V / I)$$

このように、この従来方法によれば、モニタ複合パターンにおいて、ゲート長とトランジスタの特性が同一位置において対応して求めることが可能である。

【0007】

【発明が解決しようとする課題】 しかしながら、上記の従来方法によるゲート長の決定には、モニタ複合パター

寸法の縮小が行われ、集積回路の大規模化と高速化が図られてきた。かかる集積回路を構成する素子の一つである絶縁ゲート電界効果トランジスタにおいて、ゲート長の寸法精度が素子の性能や信頼性にとって最も重要な要素の一つであり、トランジスタの電気特性と対応させて比較することが必要である。一般に、ゲート長の測定は、ゲート電極の加工直後に SEM 観察により行われてきた。しかし、様々な設計ゲート寸法のトランジスタのゲート長を多数測定するには長時間を要したり、電子線の照射による素子の劣化といった問題がある。

【0003】 そこで、従来より、トランジスタの特性を求めるのに用いるモニタトランジスタパターンと、トランジスタのゲート長を電気的に求めるのに用いるモニタ抵抗パターンとを一体化したモニタ複合パターンを、ウェーハ面上に形成するようにした半導体素子の評価方法が知られている（特開平 2 - 1 2 9 9 4 3 号公報：発明の名称「半導体装置の製造方法」）。

【0004】 図 7 は上記の従来の半導体素子の評価方法の一例の説明図で、同図 (a) はゲート長とトランジスタの特性を電気的に測定するための、モニタトランジスタパターンとモニタ抵抗パターンとを一体化したモニタ複合パターンの平面図である。また、図 7 (b) は同図 (a) の E-E 断面のモニタトランジスタの構造を示す図で、モニタトランジスタにおいて電流の流れる方向に平行な方向を示している。更に、図 7 (c) はゲートのシート抵抗 R_s を測定するためのシート抵抗パターンを示す。このシート抵抗パターンは、矩形的領域に 4 つのパッド 24、25、26 及び 27 を有するパターンである。例えばパッド 24、27 間の電流とパッド 25、26 間の電圧とから求めた第 1 の抵抗値と、パッド 26、27 間の電流とパッド 24、25 間の電圧とから求めた第 2 の抵抗値をもとに公知の 4 端子法による式によりシート抵抗 R_s が求められる。

【0005】 図 7 (a) に示すモニタ複合パターンにおいて、トランジスタ特性はゲート 21、ソース 22 及びドレイン 23 によって測定される。一方、図 7 (c) のシート抵抗パターンから 4 端子抵抗測定方法で求めた図 7 (a) のモニタ複合パターンのシート抵抗 R_s と、パッド A とパッド D との間に流す一定電流の電流値 I と、パッド B とパッド C との間の既知の長さ L と、パッド B とパッド C との間の電圧差 V を測定すると、モニタ複合パターンの幅 W は次式から求められる。

【0006】

(1)

ンとシート抵抗パターンの 2 種類のパターンの測定が必要である。また、上式はこの 2 種類のパターンのシート抵抗が等しいと仮定しているが、実際には等しくない場合があるという問題がある。

【0008】 図 8 はこの問題を説明するための図である。図 8 (a) は図 7 (a) と同様のモニタ複合パター

ンの平面図である。図8(b)は図8(a)のモニタ複合パターンのF-F線に沿う断面図で、ゲート21の抵抗測定の際に電流の流れる方向に平行な方向を示している。図8(b)において、シリコン基板28の表面にフィールド酸化膜29によって画定された表面にゲート酸化膜30を介して多結晶シリコン膜31とタングステンシリサイド膜32の複合膜からなるゲート21が形成された素子を示す。図7(c)に示したシート抵抗パターンは、フィールド酸化膜29によって画定された領域が存在しないために、4端子パターンは平坦な領域に形成されている。

【0009】一方、モニタ複合パターンはフィールド酸化膜29による段差部33が存在するために、ゲート21は平坦な表面ではなく、凹凸のある表面に形成されている。その結果、平面領域と凹凸を含む領域でのシート抵抗に差を生じてしまう。

【0010】この現象の原因には2つあり、そのうちの第1の原因は、図7(a)に示されたモニタ複合パターンのパッドBとパッドCとの間の平面上に投影した長さLと段差部33を横切るためにうねった実際の長さLに差を生じる点である。第2の原因は、スパッタ法で堆積されたタングステンシリサイド膜32の膜厚において、平坦部の膜厚 t_1 と段差部33の膜厚 t_2 に差がある点である。

【0011】この2つの原因によって、モニタ複合パターンにおいて段差を含むシート抵抗、正確には抵抗を測定する際に段差を横切る方向に電流が流れる場合の単位幅及び単位長さあたりの擬シート抵抗は、図7(c)のシート抵抗パターンで測定されるシート抵抗より大きくなる。

【0012】本発明は以上の点に鑑みなされたもので、段差を含む表面に形成された試験トランジスタ素子のゲート長を誤差を含まずに高精度に求められる半導体評価素子及びその評価方法を提供することを目的とする。

【0013】また、本発明の他の目的は、シート抵抗測定用のシート抵抗パターンを不要とし得る半導体評価素子及びその評価方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体評価素子は、互いに設計ゲート長が異なる複数の絶縁ゲート電界効果トランジスタに共通のゲート電極パターンと共通のソース配線と個別のドレイン配線を設け、ゲート電極パターンは、複数の絶縁ゲート電界効果トランジスタの各ゲート電極コンダクタンス測定用の複数の端子を有する構成としたことを特徴とする。

【0015】また、本発明の半導体評価素子は、共通のゲート電極パターンと共通のソース配線と個別のドレイン配線を有し、かつ、ゲート電極パターンはゲート電極コンダクタンス測定用の複数の端子を有する、互いに設

計ゲート長が異なる複数の絶縁ゲート電界効果トランジスタを一組としたとき、複数組の複数の絶縁ゲート電界効果トランジスタをアレイ状に配列し、複数組の複数の絶縁ゲート電界効果トランジスタの各組共通のソース配線と、各組の同じ順番の絶縁ゲート電界効果トランジスタのドレイン同士を接続するドレイン配線を有することを特徴とする。

【0016】また、本発明の半導体評価素子の評価方法は、上記目的達成のため、互いに設計ゲート長が異なる複数の絶縁ゲート電界効果トランジスタに共通のゲート電極パターンと共通のソース配線と個別のドレイン配線を設け、ゲート電極パターンは、複数の絶縁ゲート電界効果トランジスタの各ゲート電極コンダクタンス測定用の複数の端子を一組又は複数組有する半導体評価素子の、複数の端子を用いて複数の絶縁ゲート電界効果トランジスタのゲート電極コンダクタンスをそれぞれ測定し、測定したゲート電極コンダクタンスと複数の絶縁ゲート電界効果トランジスタの設計ゲート長との直線関係が成り立つ領域の直線の傾きからシート抵抗を算出することを特徴とする。

【0017】また、本発明の半導体評価素子の評価方法では、算出されたシート抵抗と複数の端子間距離とゲート電極コンダクタンスとから、ゲート電極パターンの幅であるゲート長を算出する。

【0018】ここで、本発明の半導体評価素子は複数の絶縁ゲート電界効果トランジスタに共通のゲート電極パターンに、各ゲート電極コンダクタンス測定用の複数の端子を有する構成であるため、複数の端子を用いて各絶縁ゲート電界効果トランジスタのゲート電極コンダクタンスを測定し、これと設計ゲート長の直線関係からシート抵抗を求めることができる。

【0019】また、本発明では、ゲート電極パターンが複数の絶縁ゲート電界効果トランジスタに共通で、そこに流れる電流がトランジスタ部のゲート電極の段差を横切る方向に流れるため、シート抵抗としてトランジスタ部のゲート電極の段差を横切る方向に電流が流れる場合の単位幅及び単位長さ当りの擬シート抵抗を求めることができる。

【0020】更に、本発明では、上記複数の絶縁ゲート電界効果トランジスタを一組としたとき、複数組の複数の絶縁ゲート電界効果トランジスタをアレイ状に配列した半導体評価素子の個々の絶縁ゲート電界効果トランジスタのゲート長を、実際のゲート長とよく一致する値で求めることができる。

【0021】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になる半導体評価素子の第1の実施の形態のパターンを示す平面図である。同図において、6つの絶縁ゲート電界効果トランジスタTr1、Tr2、Tr3、Tr4、Tr5、Tr6

は、共通のゲート電極パターン1を有している。また、上記の絶縁ゲート電界効果トランジスタTr1、Tr2、Tr3、Tr4、Tr5、Tr6は、設計ゲート長の異なるそれぞれのゲート電極1a、1b、1c、1d、1e、1fと、それぞれのソース2及びドレイン3より構成されている。

【0022】トランジスタTr1～Tr6の各ソース2はソースコンタクト5を介して共通ソース配線8と接続されている。また、トランジスタTr1～Tr6の各ドレイン3は各々のドレインコンタクト6を介して複数のドレイン配線9a、9b、9c、9d、9e、9fに別々に接続されている。ゲート電極パターン1には複数の端子があり、各端子はゲートコンタクト4を介してゲート電極第1～第9配線7a、7b、7c、7d、7e、7f、7g、7h、7iにそれぞれ接続されている。この実施の形態のゲート電極1a、1b、1c、1d、1e及び1fの設計ゲート長は、それぞれ1.0μm、

$$G = I / V$$

同様に、第2から第6のトランジスタTr2～Tr6のゲート電極1b～1fのコンダクタンスも、そのトランジスタのゲート電極の隣接ゲート端子に接続された2つのゲート電極配線間の電位差Vを測定し、その測定結果と測定時にゲート電極配線7aと7i間に流す一定電流値Iとから求めることができる。

【0025】図2は上記の半導体評価素子を用いて測定したゲート電極コンダクタンスと、設計ゲート長との関係を示す。同図からわかるように、設計ゲート長が0.4μm以上においては、両者に直線関係が成り立っている。一方、0.4μm未満の設計ゲート長では、ゲート電極コンダクタンスは直線で外挿された値よりも小さくなっている。これは、ゲート電極のパターン形成の際にkrfエキシマレーザ露光を用いたために、近接効果による0.4μm以下でレジストパターンが細くなる結果と一致している。この直線関係は次式により表される。

$$G = (W_{\text{mask}} - \Delta W) / (L \times R_s') \quad (3)$$

ここで、W_{mask}は設計ゲート長、ΔWは実際のゲート長と設計ゲート長の差、Lは図1で示した電圧差を測定する端子間の距離、R_{s'}は段差を横切る方向に電流が流れる場合の単位幅及び単位長さ当りの擬シート抵抗である。

$$R_s' = 1 / (L \times S)$$

これにより、図2に示した実施の形態では、擬シート抵抗R_{s'}は18.4Ω/□となり、図7(c)に示したシート抵抗パターンで得られた平坦部でのシート抵抗18.0Ω/□より2%小さな値となった。

$$W = R_s' \times L / R_{\text{gate}}$$

と表される。

【0030】図3は上記の(5)式により求めたこの実施の形態のゲート長Wと、従来の方法で求めたゲート長と、SEM測定によるゲート長との関係を示す。同図において、点線IはSEM測定によるゲート長と本実施の形態により求めたゲート長とが等しい場合の直線、黒丸は本実施の形態により求めたゲート長、白丸は従来の方法で求めたゲート長を示す。

【0031】図3からわかるように、黒丸は点線I上にあり、本実施の形態により求めたゲート長がSEM測定による実際のゲート長と一致する。一方、白丸は0.4μm以上で点線I上にはなく、シート抵抗の影響によ

0.8μm、0.6μm、0.4μm、0.3μm及び0.25μmである。

【0023】かかる構成の半導体評価素子において、各トランジスタTr1～Tr6のゲート電極のコンダクタンスの測定は、以下のように行う。例えば、第1のトランジスタTr1のゲート電極1aのコンダクタンスGは、ゲート電極第1配線7aとゲート電極第9配線7iとの間のゲート電極パターン1に既知の一定値Iの電流を流す。このとき、電流はゲート電極パターン1の配置により、トランジスタのゲート電極がフィールド酸化膜端の段差を横切るように流れる。この一定値Iの電流を流した状態で、第1のトランジスタTr1のゲート電極1aの隣接ゲート端子と接続された、ゲート電極第2配線7bとゲート電極第3配線7cとの間の電圧差Vを測定し、これらの値I及びVから次式により求められる。

$$G = I / V$$

(2)

4μm以上においては、両者に直線関係が成り立っている。一方、0.4μm未満の設計ゲート長では、ゲート電極コンダクタンスは直線で外挿された値よりも小さくなっている。これは、ゲート電極のパターン形成の際にkrfエキシマレーザ露光を用いたために、近接効果による0.4μm以下でレジストパターンが細くなる結果と一致している。この直線関係は次式により表される。

$$G = I / V$$

る。

【0027】上記(3)式より図2で示した直線の傾きSを用いて、擬シート抵抗R_{s'}は次式で表される。

$$R_s' = 1 / (L \times S)$$

(4)

【0029】ゲート電極パターン1の幅であるゲート長Wは、従来のモニタ複合パターンの幅Wの算出式である(1)式において、R_sの代わりにR_{s'}を用い、また、ゲート電極の抵抗R_{gate}(=V/I)を用いて

(5)

て、実際の寸法よりも2%小さな値を示している。従って、この実施の形態の半導体評価素子を用いて測定したゲート長は、従来よりも正確に実際のゲート長を測定評価できることがわかる。しかも、この実施の形態では、(2)式～(4)式から擬シート抵抗R_{s'}を求めているので、シート抵抗を測定するためのシート抵抗パターンが不要である。

【0032】次に、本発明になる半導体評価素子の第2の実施の形態について説明する。図4は本発明になる半導体評価素子の第2の実施の形態の等価回路図を示す。同図において、Tr1-1～Tr1-7はそれぞれ互いに設計ゲート長の異なる7種類の絶縁ゲート電界効果ト

ランジスタで、この7種類の絶縁ゲート電界効果トランジスタを一組として計5組の絶縁ゲート電界効果トランジスタがアレイ状に配列されている。

【0033】また、第1の組の絶縁ゲート電界効果トランジスタTr1-1~Tr1-7の各ゲートは第1のゲート端子11_iに接続され、同様に、第2、第3、第4及び第5の組を構成するそれぞれ7種類の絶縁ゲート電界効果トランジスタは第2、第3、第4及び第5のゲート端子11_j、11_k、11_l及び11_mに接続されている。更に、同一種類の5つの絶縁ゲート電界効果トランジスタTr1-1、Tr2-1、...、Tr5-1の各ドレインはドレイン端子13_iに共通に接続されている。同様に、i番目(i=2~7)の同一種類の5つの絶縁ゲート電界効果トランジスタTr1-i、Tr2-i、...、Tr5-iの各ドレインはドレイン端子13_iに接続されている。また、ソース端子12はすべてのトランジスタTr1-1~Tr5-7の各ソースに共通接続されている。

【0034】かかる構成の半導体評価素子において、第1の実施の形態と同様に、ゲート端子11_i~11_jとソース端子12とドレイン端子13_i~13_jとを選択して、ここのトランジスタのトランジスタの特性を測定し、ゲート端子11_i~11_jを選択して個々のトランジスタのゲート長を求める。

【0035】図5は図4に示した半導体評価素子を用いてウェハ内9チップの計315(=35×9)個のトランジスタのしきい値電圧を測定し、設計ゲート長に対してプロットしたものである。短チャネル効果によるしきい値電圧の減少する設計ゲート長の小さなトランジスタのしきい値電圧の値は大きくばらつく。

【0036】図6は図5の横軸を設計データ長でなく、前記した本発明による方法で測定演算したゲート長でプロットした特性図である。図6からわかるように、短チャネル効果によるしきい値電圧が低下する領域において、プロットの縦方向のばらつきが小さくなった。

【0037】これは、設計ゲート長が同じでも実際のゲート長はウェハ一面内でばらつくため、この実施の形態により個々のトランジスタのゲート長が精度良く求められ、ゲート長の縮小によるしきい値電圧の低下の関係を正確に示すことができたためである。従って、この実施の形態によれば、算出したゲート長が実際のゲート長とよく一致するために短チャネルトランジスタの特性評価に有効である。

【0038】

【発明の効果】以上説明したように、本発明によれば、複数の端子を用いて各絶縁ゲート電界効果トランジスタのゲート電極コンダクタンスを測定し、これと設計ゲート長の直線関係からシート抵抗を求めるため、シート抵

抗を測定するためのシート抵抗パターンが無くともシート抵抗を求めることができる。

【0039】また、本発明によれば、シート抵抗としてトランジスタ部のゲート電極の段差を横切る方向に電流が流れる場合の単位幅及び単位長さ当りの擬シート抵抗を求めるようにしたため、トランジスタのゲート電極がフィールド酸化膜端の段差を横切る場合でも、精度良くゲート電極のシート抵抗を求めることができる。

【0040】更に、本発明によれば、半導体評価素子の個々の絶縁ゲート電界効果トランジスタのゲート長を、実際のゲート長とよく一致する値で求めることができ、よって、ゲート長がウェハ一面内でばらついた場合でも、ゲート長の縮小によるしきい値電圧の減少を正確に求めることができ、短チャネルトランジスタの特性評価に有効である。

【図面の簡単な説明】

【図1】本発明半導体評価素子の第1の実施の形態のパターンを示す平面図である。

【図2】図1の評価素子のゲート電極コンダクタンスと設計ゲート長との関係を示す図である。

【図3】SEM測定によるゲート長と本発明方法によるゲート長との関係を示す図である。

【図4】本発明半導体評価素子の第2の実施の形態の等価回路図である。

【図5】図4の半導体評価素子の各トランジスタのしきい値電圧と設計ゲート長との関係を示す図である。

【図6】図4の半導体評価素子の各トランジスタのしきい値電圧と本発明方法によるゲート長との関係を示す図である。

【図7】従来方法の一例を説明するパターン平面図及び断面図である。

【図8】従来方法の課題を説明するためのモニタ複合パターン平面図及び断面図である。

【符号の説明】

1 ゲート電極パターン

1 a、1 b、1 c、1 d、1 e、1 f ゲート電極

2 ソース

3 ドレイン

4 ゲートコンタクト

5 ソースコンタクト

6 ドレインコンタクト

7 a、7 b、7 c、7 d、7 e、7 f、7 g、7 h、7

i ゲート電極第1~第9配線

8 共通ソース配線

9 a、9 b、9 c、9 d、9 e、9 f ドレイン配線

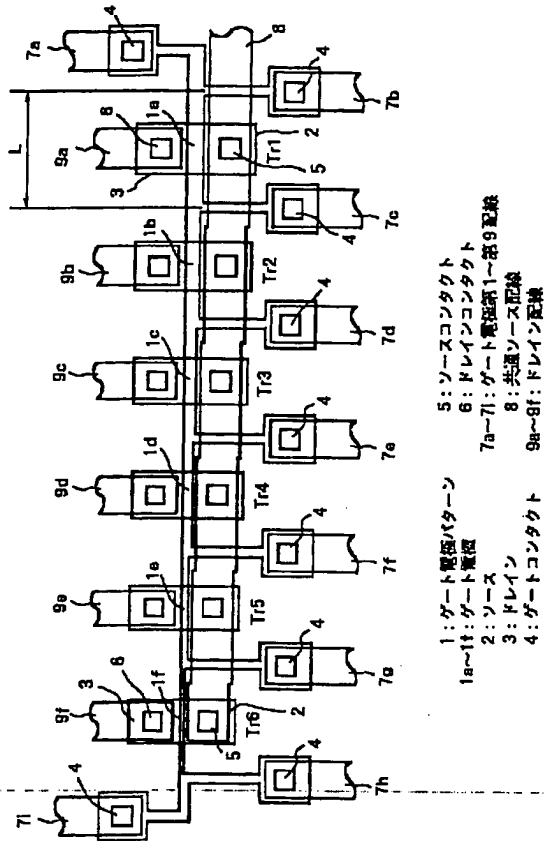
11_i~11_j ゲート端子

12 ソース端子

13_i~13_j ドレイン端子

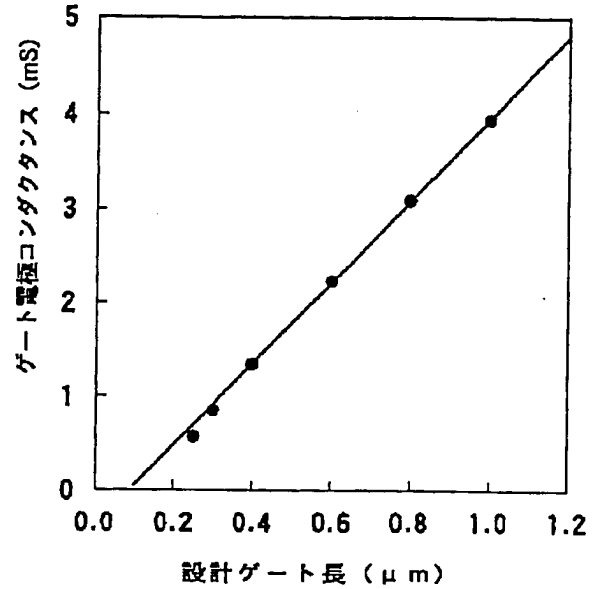
【図1】

本発明半導体評価素子の第1の実施の形態の形態のパターンを示す平面図



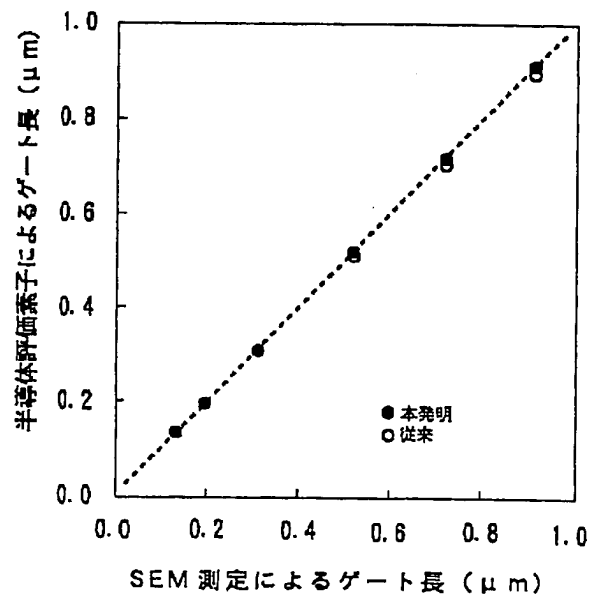
【図2】

図1の素子のゲート電極コンダクタンスと設計ゲート長の関係



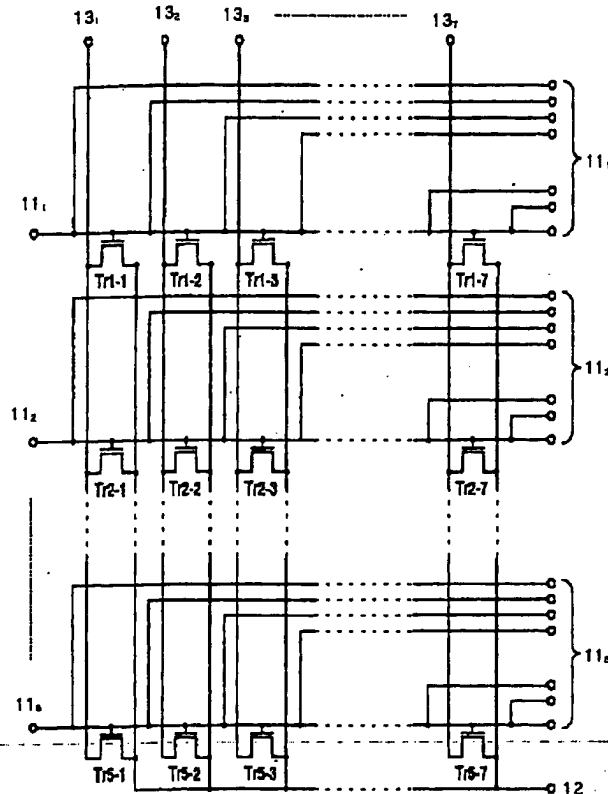
【図3】

SEM測定によるゲート長と本発明方法によるゲート長との関係



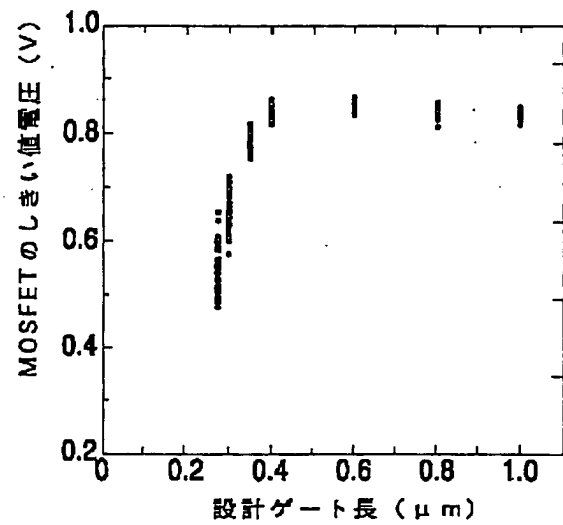
【図4】

本発明半導体評価素子の第2の実施の形態の等価回路



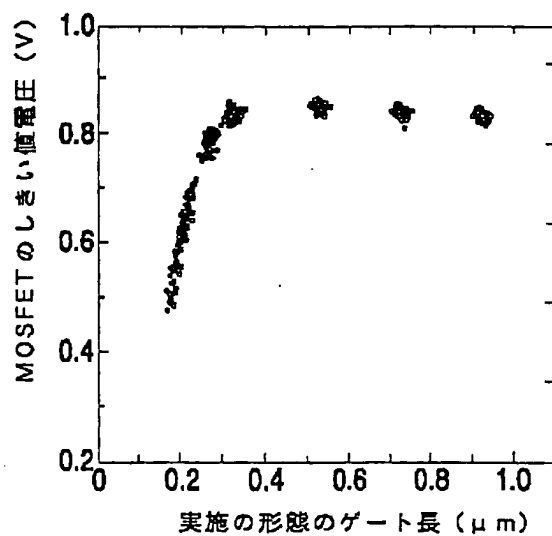
【図5】

図4の半導体評価素子の各トランジスタのしきい値電圧と設計ゲート長の関係



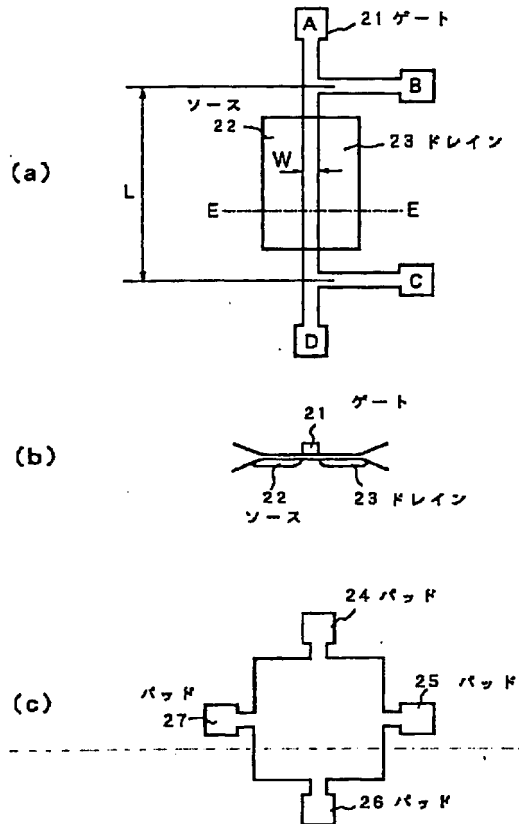
【図6】

図4の半導体評価素子の各トランジスタのしきい値電圧と本発明方法によるゲート長の関係



【図7】

従来方法の一例の説明図



【図8】

従来の課題説明図

